

《台積電 2020 年研發支出及研發成果》

作者：屏東大學會計系 周國華老師

2021/4/26 原文刊於 FB 社群：半導體產業討論區(元件物理與製程、IC Design 與 EDA)

台積電於 2020 年耗資 NT\$1,095 億元在研發支出上，佔年度營收 8%。就金額言，比鴻海\$941 億元、聯發科\$773 億元都高，大概是台灣上市櫃公司中最高的。

台積電花了一千多億元在研發上，成果當然也很豐碩。台積電在年報中詳細說明去年的研發成果，值得大家仔細看一看。

台積電 2020 年報原文：<https://investor.tsmc.com/...../2020%20Annual.....>（研發成果在 p.82，或 PDF 檔第 43 頁起）

附圖表：(見次頁，以下資料擷取自台積電公司 2020 年報內容)

5.2.2 民國一百零九年研究發展成果

研究發展組織卓越成果

●3奈米製程技術

民國一百零九年的研發著重於3奈米製程技術基礎製程制定、良率提升、電晶體及導線效能改善，以及可靠性評估。相較於5奈米製程技術，3奈米製程技術顯著地改善晶片密度，在相同的功耗下提供更好的效能，或在相同的效能下提供更低的功耗。主要客戶已於民國一百零九年完成3奈米矽智財的設計，並開始進行驗證。台積公司預計於民國一百一十年完成3奈米製程技術驗證以進入試產。

●2奈米製程技術

民國一百零九年，初步研究及路徑尋找之後，台積公司進行2奈米製程技術的研發階段，著重於測試鍵與測試載具之設計與製作、光罩製作以及矽試產。

●微影技術

民國一百零九年微影技術研發的重點在於3奈米技術、2奈米技術開發和下一代奈米技術開發的先期準備。針對3奈米技術的開發，極紫外光（EUV）微影技術展現極佳的光學能力，與符合預期的晶片良率。研發單位正致力於極紫外光技術，以減少曝光機光罩缺陷及製程堆疊誤差，並降低整體成本。民國一百一十年，台積公司在2奈米及更先進製程上將著重於改善極紫外光技術的品質與成本。

民國一百零九年，台積公司的極紫外光專家在光源功率及穩定度上有持續性的進展，光源功率的穩定與改善得以加快先進技術的學習速度與製程開發。此外，極紫外光光阻製程、光罩保護膜及相關的光罩基板也都展現顯著的進步，極紫外光技術已全面量產。

●光罩技術

光罩技術在先進微影技術中極為關鍵。民國一百零九年，研發組織成功完成3奈米製程光罩技術開發，大量導入更複雜且先進的極紫外光光罩技術，且持續精進極紫外光光罩技術，以滿足2奈米微影技術在光罩上的需求。

導線與封裝技術整合

晶圓級系統整合技術（WLSI）在日益複雜的應用領域中藉由混合與匹配不同平台而迅速發展。這些包含在晶圓級

系統整合範圍內的技術被命名為3DFabric™，因為它能夠實現精細間距的晶片到晶片連接，以及利用現有晶圓製程的統合製造理念。在3DFabric™下，先嵌入晶片再做導線互連的所有製程都稱為整合型扇出（InFO）。而先做線路重佈層（RDL），然後再將晶片嵌入預製的RDL上就稱為CoWoS®（Chip-on-Wafer-on-Substrate）。這個新的命名系統真實反映了製程的本質並指向將來的技術推進軌跡。與同級製程系統整合晶片（System on Integrated Chips, SoIC）、SoW（System on Wafer）和SoS（System on Integrated Substrate）結合在一起，它們形成了通用的晶圓級系統整合技術家族，將推動產業界在面對更具挑戰和多樣化的運算系統整合需求下，滿足未來的系統級微縮需求。

●三維積體電路（3DIC）與系統整合晶片（TSMC-SolC™）

系統整合晶片（TSMC-SolC™）是創新的晶圓級前段三維晶片（3DIC）堆疊平台，具有卓越的接合密度、互連頻寬、功耗效率和薄形輪廓，可透過系統級微縮來延續摩爾定律，具有持續性的效能提升和成本優勢。系統整合晶片接下來可以使用傳統封裝或台積公司新的3DFabric™技術，例如CoWoS®或整合型扇出來做封裝，支援下一代高效能運算（HPC）、人工智慧（AI）和行動應用產品。目前台積公司已使用微米級接合間距製程完成了晶片對晶圓（Chip on Wafer, CoW）和晶圓對晶圓（Wafer on Wafer, WoW）堆疊製程的驗證，具有令人滿意的電性良率和可靠性結果。台積公司將繼續追求系統整合晶片技術的微縮，以與台積公司先進的矽技術保持一致，進一步提高電晶體密度、系統功耗、性能和面積（Power, Performance, Area, PPA）與成本競爭力。

●後晶片（Chip Last）CoWoS®

含有矽中介層的CoWoS®是針對高端高效能運算與人工智慧產品應用的2.5D領先技術。此技術具有一個大型的矽中介層，該中介層具有次微米級的繞線層和整合電容（integrated capacitors, iCap），因此可以在其上面放置系統單晶片（SoC）和高頻寬記憶體（HBM）等各種小晶片。正在開發的第五代CoWoS®具有創紀錄的矽中介層面積，高達2,400平方毫米，相當於三個全光罩（full-reticle）尺寸。此技術預計於民國一百一十年上半年完成驗證。

●先晶片 (Chip-First) 整合型扇出 (InFO)

民國一百零九年，台積公司持續領先全球大量生產第五代整合型扇出層疊封裝技術 (InFO-PoP Gen-5) 以支援行動應用，並大量生產第二代整合型扇出暨基板封裝技術 (InFO-oS Gen-2) 支援高效能運算晶粒分割的應用。第六代InFO-PoP已成功通過認證支援行動應用和增強散熱性能。如期開發完成的第三代InFO-oS提供了更多的晶片分割，整合於更大的封裝尺寸和更高的頻寬。為了滿足HPC應用的需求，台積公司開發了超高頻寬整合型扇出暨局部矽互連技術 (InFO Local Silicon Interconnect, InFO_LSI)，其中系統單晶片小晶片 (Chiplet) 藉由超高密度局部矽互連 (LSI) 整合到三維InFO封裝中。無基板InFO使用多晶片異質整合與更細間距的晶片到晶片互連技術，已成功完成驗證以滿足消費性電子產品的應用。最新一代整合式被動元件技術 (Integrated Passive Device, IPD) 提供高密度電容器和有效串聯電感 (Effective Series Inductance, ESL) 以增強電性，並已在InFO-PoP上通過認證。AI與5G行動應用將受惠於此增強的InFO-PoP技術。最新一代IPD預計於民國一百一十年開始大量生產。

●先進導線技術

台積公司提供創新的技術讓互連導線可以持續微縮同時也兼顧晶片效能。民國一百零九年，公司提出全新未來互連導線的架構。在極小尺寸之下，這個新的架構可以克服銅金屬回填技術上的困難，同時顯著地降低導線的電阻跟電容。開發這些創新的解決方案，協助台積公司延續其製程技術的全球領先地位。

先進技術研究

元件及材料的創新，持續提升先進邏輯技術的效能並降低功耗。民國一百零九年，台積公司在二維材料及奈米碳管電晶體的研究持續走在業界前端。台積公司在完整二吋晶圓上成功展示了一個合成單原子層厚單晶的六角斜方氮化硼 (hexagonal Boron Nitride, hBN) 的製程，這是一個重要的成就，因為hBN已顯示為二維材料元件通道的理想鈍化層。此傑出的基礎研究成果發表於民國一百零九年三月全球領先科學期刊之一的《自然》(Nature)。

在民國一百零九年舉行的超大型積體電路技術研討會 (Symposia on VLSI Technology)，台積公司展示了使用化學氣相沉積二硫化鉬單原子層的二維材料電晶體，在汲

極壹伏特操作電壓下有最高的二維材料n通道場效電晶體電流。台積公司也在民國一百零九年舉行的國際電子元件會議 (International Electron Device Meeting, IEDM) 介紹了一種新穎的薄膜介面介電層 (ILX)，它可以在奈米碳管表面成核並均勻地長出小於0.5奈米的薄膜，因而可以使用慣用的原子層沉積技術沉積奈米碳管電晶體的high-k閘極介電層 (二氧化鈣)。使用這個新穎的ILX，閘極長度微縮到15奈米的上方閘極控制奈米碳管電晶體，展示了接近理想的閘極控制。

台積公司持續尋找並探索支援人工智慧和高效能運算應用的新興高密度、非揮發性記憶體硬體加速器。台積公司的先進技術研究處於最佳的位置，為持續一個技術製程接一個技術製程密度增加、提升效能、降低功耗鋪路，如同過去所做。

特殊製程技術

台積公司提供多樣化的新製程技術以協助客戶廣泛解決各類產品的應用：

●混合訊號／射頻

民國一百零九年，台積公司成功開發以3奈米矽智財及以電磁模擬為基礎的LC振盪器設計解決方案，滿足高速SerDes電路設計的需求，此解決方案能協助電路設計人員縮短設計週期，並針對不同金屬層組合，提供LC振盪器元件及電路布局之全方位服務。民國一百零九年是第一年終端使用者開始受惠於五代行動通訊技術 (5G) 網路的高傳輸速度、低延遲以及巨量物聯網連結的優勢，為了提升5G的成本與受益比，台積公司提供各式7奈米及6奈米的射頻元件，以符合客戶在收發器設計的需求。藉由增強射頻切換器的效能，台積公司開發40奈米特殊製程支援頻率6GHz以下應用的5G射頻前端模組設計。針對較高頻段的毫米波設計，台積公司亦提供28奈米高效能精簡型強效版製程 (28HPC+)，增強功率放大器的效能，應用於5G毫米波前端模組設計。

●電源IC／雙極-互補金屬氧化半導體-雙重擴散金屬氧化半導體 (BCD)

民國一百零九年，台積公司擴大其十二吋BCD技術的製程範疇，涵蓋90奈米、55奈米以及22奈米，以因應快速成長的行動電源管理晶片應用，包括不同的整合度，以及特別

針對低壓5伏電源最佳化的功率電晶體，因應鋰電池驅動的功耗成長需求。90奈米BCD技術支援5伏到35伏的廣泛應用，將於民國一百一十年持續擴充。

● 面板驅動

民國一百零九年，台積公司開發晶圓堆疊（WoW 28HPC/40HV）技術，相較於28HPC+，具有相似的穩定產品良率，且降低60%功耗。同時，28HV單晶片技術完成了客戶IP驗證以及128Mb SRAM良率驗證。這些技術是支援小尺寸面板4K解析度、有機發光二極體（OLED）和120Hz顯示驅動IC的領先技術。此外，台積公司完成OLED在矽產品驗證並導入AR/VR應用的量產，具有優異的量產良率與照明均勻性。民國一百一十年，台積公司規劃推出此技術的改良版，採用8伏電晶體提升晶圓堆疊效率，提高效能並降低成本，支援28HV OLED觸控顯示整合（TDDI）之應用。

● 微機電系統

民國一百零九年，台積公司完成模組化微機電系統（Modular MEMS）技術的驗證，以大量生產高解析度加速度計與陀螺儀。未來計劃包含開發下一代高敏感度薄型麥克風、十二吋晶圓微機電光學影像穩定（Optical Image Stabilization, OIS）系統解決方案，以及生物微機電應用。

● 氮化鎵半導體

民國一百零九年，台積公司開始量產第一代650伏和100伏增強型高電子移動率電晶體（E-HEMT），迅速拉升至全產能，公司持續擴充產能以因應客戶的需求，第二代650伏和100伏E-HEMT之品質因素（FOM）較第一代改善50%，預計於民國一百一十年投入生產。此外，100伏空乏型高電子移動率電晶體（D-HEMT）已完成元件開發，具備優異的性能，且通過多家5G基地台模組設計公司的工程驗證，預計於民國一百一十年進入試產。

● 互補式金屬氧化物半導體（CMOS）影像感測器

民國一百零九年，台積公司在互補式金屬氧化物半導體影像感測器技術獲致數項技術創新，有四項主要成果：（1）畫素尺寸的微縮較前一年減少15%，目前大量生產中，支援行動裝置，高解析度影像感測應用；（2）完成技術移轉並開始量產車用規格等級，超高動態範圍的影像感測器，符合高可靠度標準；（3）鍍質飛時測距（TOF）感測器開始試產，提供較高的三維物件感測準確度並使用較長的

光源波長，相較於矽質感測器，獲致較低的系統功耗，適合行動裝置與機器視覺應用；（4）成功開發第二代三維金屬-介電質-金屬（MiM）高密度畫素內嵌式電容，電容密度較前一代高三倍，支援全域式快門與高動態範圍影像感測器之應用。

● 嵌入式快閃記憶體／新興記憶體

民國一百零九年台積公司在嵌入式非揮發性記憶體技術領域達成數項重要的里程碑：在40奈米製程方面，公司已成功量產分離閘（Split-Gate）反或閘式（NOR）技術，以支援消費性電子產品的應用與各種車用電子產品的應用；在28奈米製程方面，支援高效能行動運算與高效能低漏電製程平台的嵌入式快閃記憶體開發維持穩定的高良率，並已通過消費性電子與第一級車用電子技術驗證，預計於民國一百一十年完成最高規格第零級車用電子技術驗證；台積公司亦提供嵌入於非揮發性記憶體之電阻記憶體技術，作為低成本解決方案，支援對價格敏感的物聯網市場；40奈米已完成技術驗證，客戶產品驗證持續進行，28奈米已進入量產，22奈米於民國一百零九年完成技術驗證。

民國一百零九年台積公司在嵌入式磁性隨機存取記憶體技術取得大幅進展，22奈米已完成技術驗證並成功進入量產，並榮獲2020年度快閃記憶體高峰會之最佳參展項目獎，支援最創新的人工智慧應用；22奈米嵌入式磁性隨機存取記憶體預計於民國一百一十年完成技術驗證，支援車用電子應用；在16奈米製程方面，維持穩定的高良率，預計於民國一百一十年完成技術驗證，以因應下一代嵌入式記憶體，支援MCU、車用、物聯網以及人工智慧裝置等多項應用。

5.2.3 技術平台

台積公司提供客戶具備完整設計基礎架構的先進技術平台，以達成令人滿意的生產力及生產週期，其中包括：電子設計自動化（EDA）設計流程、通過矽晶片驗證的元件資料庫及矽智財（IP），以及模擬與驗證用的設計套件，例如製程設計套件（PDK）及技術檔案。

針對台積公司最先進的3奈米、5奈米、6奈米、7奈米、7奈米強效版、12奈米、22奈米及3DIC技術設計實現平台，所需要的電子設計自動化工具、功能及矽智財解決方案都已