

# 台積電晶圓製造的途程 (Routing)

編撰：屏東大學 周國華老師 2026-04-11

在半導體製造中，「途程 (Routing)」通常被稱為**製程流程 (Process Flow)**。如果是台積電 (TSMC) 的先進製程晶圓，其 Routing 的道數是非常驚人的，通常高達 **500 道到超過 1,500 道** 獨立工序，甚至在最先進的節點 (如 3 奈米、2 奈米) 可能會接近或突破 2,000 道！

## 一、為什麼會有這麼多道工序？

晶圓製造是一個「高度重複」的立體建築過程。一顆現代邏輯晶片內部可能有 50 到 100 層以上的結構 (包含最底層的電晶體層，以及上方的多層金屬導線層、通孔層等，請詳後述)。

為了完成「單一層」的結構，晶圓就必須在無塵室裡走完一個標準的**微影循環 (Photolithography Loop)**。這個單層循環的 Routing 至少就包含了：

1. **薄膜沉積 (Deposition)**：透過化學氣相沉積 (CVD) 或物理氣相沉積 (PVD) 在晶圓上長出一層新材料。
2. **塗佈光阻 (Photoresist Coating)**：在晶圓表面均勻塗上一層感光材料。
3. **微影曝光 (Lithography)**：透過先進的極紫外光 (EUV) 或深紫外光 (DUV) 設備，將光罩上的電路圖案縮微投影打在光阻上。
4. **顯影 (Development)**：洗去未曝光 (或已曝光) 的光阻，讓圖案顯現。
5. **蝕刻 (Etching)**：依照光阻留下的圖案作為保護層，將沒有被保護的材料精準挖出溝槽或孔洞。
6. **光阻去除與清洗 (PR Stripping & Cleaning)**：用化學藥劑洗掉殘留的光阻與微塵。
7. **離子植入/擴散 (Ion Implantation / Diffusion)**：將特定雜質打入矽晶片中，改變半導體的導電特性 (主要在電晶體層)。
8. **化學機械平坦化 (CMP)**：用物理研磨與化學反應將晶圓表面磨得絕對平坦，準備做下一層。

以上是 8 個主要「改變晶圓物理特性」的加工步驟，在真實的半導體廠 (如台積電) 的實際 Routing 中，一個完整的微影循環通常還會強制包含「量測檢驗」以及「額外的熱處理」，才算真正走完一層：

9. **線上量測與缺陷檢驗 (Metrology & Inspection)**：在微影 (曝光/顯影後) 或蝕刻完成後，晶圓絕對不能馬上進入下一站，必須先送去高階量測機台測量「線寬 (Critical Dimension, CD)」、「對位精準度 (Overlay)」，並使用電子顯微鏡掃描是否有微塵顆粒 (Particle)。這一步是決定晶圓要繼續往下走、還是要洗掉光阻重做 (Rework)、甚至直接報廢的生死關卡。
10. **熱處理/退火 (Thermal Annealing)**：在離子植入把雜質強力打入晶片，或是特定薄膜沉積後，晶圓的矽晶格會受到物理損傷。此時必須送入高溫爐管或快速熱處理 (RTP) 機台進行高溫「退火」。這就像是把受傷的晶格「烤」均勻以進行修復，並真正活化那些雜質的導電特性。

上述這 8 到 10 個核心步驟，每疊加一層金屬層就要重複一次。將近百層的結構乘上這些循環，再加上各種線上量測 (Metrology)、晶圓允收測試 (WAT) 等品質檢驗站別，整張 Routing 表就會長達上千個步驟，整批晶圓在廠內流片 (Cycle Time) 往往需要 2 到 3 個月的時間。

## 二、系統面 (ERP vs. MES) 的管控差異

以會計資訊系統與 ERP 的視角來看，要將 1,500 道工序全部建在 SAP PP 模組的 Routing 裡是非常不切實際的 (系統負荷太大，且現場機台參數變動極快)。因此，像台積電這樣的高科技晶圓廠，在系統架構上會做出明確的「粗細分工」：

- **製造執行系統 (MES, Manufacturing Execution System)**：負責「微觀 Routing」。這 1,500 多道精確的機台配方 (Recipe)、晶圓盒 (FOUP) 的自動搬運路徑、光罩對應，全數由現場的 MES 與 CIM (電腦整合製造) 系統嚴密管控。
- **企業資源規劃 (ERP, 如 SAP)**：負責「宏觀 Routing」。ERP 裡的途程可能只會設立幾個大的里程碑控制點 (Milestones / Reporting Points)，例如：前段製程完成、後段金屬層完成、晶圓測試完成等。MES 在現場做到這些檢查點時，再將彙總的「材料耗用」與「機台/人工產能耗用」數據回報 (Confirmation) 給 ERP，供財務端進行精確的成本結算與差異分析。

這樣的系統分工，完美展示了資訊架構是如何因應極端複雜的製造環境進行分層防弊與效能最佳化的設計。

## 三、補充說明：通孔層

通孔層 (Via Layer, Via 全名為 Vertical Interconnect Access) 是半導體晶片內部極度關鍵的「垂直連接通道」。

如果把一顆先進製程的晶片想像成一棟數十層樓高的「微型超級大都會」，我們可以這樣理解：

- **地基與一樓 (Device Layer)**：這是晶片的最底層，佈滿了上百億個真正負責開關與運算的「電晶體 (Transistors)」。
- **金屬層 (Metal Layer, 標示為 M1, M2, M3...)**：這些是鋪設在電晶體上方的「水平道路」或「每一層樓的走廊」，負責在同一個平面上傳遞電子訊號。
- **通孔層 (Via Layer, 標示為 V0, V1, V2...)**：這就是連接不同樓層的「電梯井」或「垂直樓梯」！它的唯一作用，就是打破平面的限制，將下層的水平金屬線 (例如 M1)，垂直向上導通到上層的水平金屬線 (例如 M2)。

### 通孔層的製造挑戰

在半導體廠內，製造「通孔」是工程師最頭痛的挑戰之一，原因包含：

1. **物理極限的挖掘與填補**：製造通孔的過程，是要先在絕緣材料 (介電質) 上「向下蝕刻」出一個深不見底的奈米級小洞，然後再把導電金屬 (如銅 Cu 或鈷 Co) 完美地填進去。洞越小，金屬就越難填滿，只要裡面包了一個微小的氣泡 (孔洞 Void)，電阻就會飆高，甚至直接斷路。

2. **極致的對位精準度 (Overlay)**：想像您在蓋大樓，第 10 樓的電梯井必須和第 9 樓的電梯門「完美對齊」。在曝光機的運作下，只要產生幾奈米的偏差，通孔沒有精準踩在下層的金屬線上，這顆晶片就會報廢。

#### 四、呼應前一個話題：為何需要上千道工序？

這就完美解釋了為何台積電的途程 (Routing) 會高達上千道！

現代的高階邏輯晶片 (如手機或 AI 晶片)，內部通常擁有 **10 到 20 層** 以上的交錯金屬層。為了蓋出這些結構，工廠必須不斷重複「做一層金屬 + 做一層通孔」的雙鑲嵌 (Dual-Damascene) 循環。每往上蓋一層樓梯和走廊，就要把塗光阻、曝光、蝕刻、鍍金屬、化學機械平坦化 (CMP) 的流程重跑一次，工序自然就疊加到令人咋舌的程度了。

從會計的角度來看，這也是為何「良率 (Yield)」對晶圓廠的單位成本影響如此巨大，因為只要在第 15 層的通孔做壞了，前面 14 層投入的所有昂貴材料與機台折舊，就全部變成沉沒成本了！